

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Jae-Bon KOO, *et al.*

Art Unit: To Be Assigned

Appl. No To Be Assigned

Examiner: To Be Assigned

Filed: April 14, 2004

Atty. Docket: 6161.0122.US

For: **FLAT PANEL DISPLAY WITH IMPROVED WHITE BALANCE**

CLAIM FOR PRIORITY UNDER 35 U.S.C. § 119 IN UTILITY APPLICATION

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

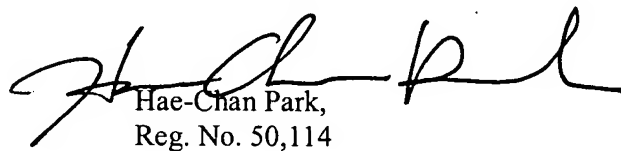
Sir:

Priority under 35 U.S.C. § 119 is hereby claimed to the following priority document(s), filed in a foreign country within twelve (12) months prior to the filing of the above-referenced United States utility patent application:

Country	Priority Document Appl. No.	Filing Date
KOREA	2003-0024429	April 17, 2003
KOREA	2003-0024503	April 17, 2003

The certified copies of Korean Patent Application Nos. 2003-0024429 and 2003-0024503 are submitted herewith. Prompt acknowledgment of this claim and submission is respectfully requested.

Respectfully submitted,


Hae-Chan Park,
Reg. No. 50,114

Date: April 14, 2004

McGuireWoods LLP
1750 Tysons Boulevard, Suite 1800
McLean, VA 22102
Telephone No. 703-712-5365
Facsimile No. 703-712-5280



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0024503
Application Number

출원 년 월 일 : 2003년 04월 17일
Date of Application
APR 17, 2003

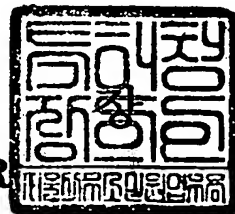
출원인 : 삼성에스디아이 주식회사
Applicant(s) SAMSUNG SDI CO., LTD.



2003 년 07 월 25 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.04.17
【발명의 명칭】	화이트밸런스가 개선된 평판표시장치
【발명의 영문명칭】	Flat Panel Display with improved white balance
【출원인】	
【명칭】	삼성에스디아이 주식회사
【출원인코드】	1-1998-001805-8
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-055227-0
【발명자】	
【성명의 국문표기】	구재본
【성명의 영문표기】	K00, JAE BON
【주민등록번호】	720706-1767718
【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 풍림아파트 105동 504호
【국적】	KR
【발명자】	
【성명의 국문표기】	박지용
【성명의 영문표기】	PARK, JI YONG
【주민등록번호】	700331-1823311
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 993-5, 204호
【국적】	KR
【발명자】	
【성명의 국문표기】	박상일
【성명의 영문표기】	PARK, SANG IL
【주민등록번호】	750320-1042314

【우편번호】	158-074
【주소】	서울특별시 양천구 신정4동 983-12호
【국적】	KR
【발명자】	
【성명의 국문표기】	김득중
【성명의 영문표기】	KIM,DEUK JONG
【주민등록번호】	740405-1051312
【우편번호】	122-755
【주소】	서울특별시 은평구 수색동 대림아파트 108동 1301호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	3 면 3,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	11 항 461,000 원
【합계】	493,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 각 화소의 R, G, B 단위화소중 적어도 2개의 단위화소에 있어서, 적어도 하나의 트랜지스터의 채널영역이 서로 다른 전류이동도를 갖도록 형성하여 화이트 밸런스를 개선할 수 있는 평판표시장치를 개시한다.

본 발명의 평판표시장치는 각각 적색(R), 녹색(G), 청색(B)을 구현하기 위한 R, G, B 단위화소를 구비하고, 상기 각 단위화소는 적어도 하나이상의 트랜지스터를 구비하는 다수의 화소를 포함하며, 상기 R, G, B 단위화소중 적어도 2개의 단위화소의 트랜지스터의 채널층이 서로 다른 전류이동도를 갖는 것을 특징으로 한다.

각 R, G, B 단위화소는 적어도 하나의 트랜지스터가 각 화소별로 모두 동일한 크기를 갖는 채널층을 구비한다. 각 R, G, B 단위화소는 발광소자를 각각 포함하며, 각 단위화소의 발광소자로의 전류공급을 제어하는 트랜지스터는 각 화소별로 모두 동일한 크기의 채널층을 구비한다. 상기 각 단위화소의 발광소자중 발광효율이 가장 높은 발광소자를 구동시켜주기 위한 트랜지스터의 전류이동도가 상대적으로 발광효율이 낮은 발광소자를 구동시켜 주기 위한 트랜지스터의 전류이동도보다 작다.

【대표도】

도 2d

【명세서】

【발명의 명칭】

화이트밸런스가 개선된 평판표시장치{Flat Panel Display with improved white balance}

【도면의 간단한 설명】

도 1은 통상적인 평판표시장치의 R, G, B 단위화소의 배열상태를 도시한 도면,

도 2a 내지 도 2d는 본 발명의 실시예에 따른 평판표시장치에 있어서, R, G, B 단위화소의 구동 트랜지스터를 제조하는 방법을 설명하기 위한 공정단면도,

도 3은 MIC/MILC결정화방법에 따른 게이트 전압과 드레인전압과의 관계를 도시한 도면,

도면의 주요 부분에 대한 부호의 설명

200 : 절연기판

210 : 비정질 실리콘막

221, 225 : MILC 용 마스크

230 : MILC 용 금속층

240 : 폴리실리콘막

241, 234 : MILC 폴리실리콘막

243 : MIC 폴리실리콘막

260 : 게이트 절연막

271, 273, 375 : 게이트

281, 283, 285 : 소오스/드레인 영역

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <10> 본 발명은 풀칼라 평판표시장치에 관한 것으로서, 보다 구체적으로는 MIC/MILC 공정을 이용하여 R, G, B 단위화소별 구동 트랜지스터의 채널층이 서로 다른 전류이동도를 갖도록 형성하여 줌으로써, 화이트밸런스를 구현할 수 있는 평판표시장치 및 그의 제조 방법에 관한 것이다.
- <11> 일반적으로, 평판표시장치인 유기전계 발광표시장치는 도 1에 도시된 바와같이 매트릭스형태로 배열된 다수의 화소(100)를 구비하며, 각 화소(100)가 적색(R)을 구현하기 위한 단위화소(110R), 녹색(G)을 구현하기 위한 단위화소(120G), 청색(B)을 구현하기 위한 단위화소(130B)의 3개의 단위화소로 이루어진다.
- <12> 상기 R 단위화소(110R)는 적색(R) 발광층을 구비한 적색 EL소자(115)와, 상기 적색 EL소자(115)에 전류를 공급하기 위한 구동 트랜지스터(113)와, 상기 구동 트랜지스터(113)로부터 적색 EL소자(113)로의 전류공급을 스위칭하기 위한 스위칭 트랜지스터(111)로 이루어진다. 상기 G 단위화소(120G)는 녹색(G) 발광층을 구비한 녹색 EL 소자(125)와, 상기 녹색 EL소자(125)에 전류를 공급하기 위한 구동 트랜지스터(123)와, 상기 구동 트랜지스터(123)로부터 녹색EL 소자(123)로의 전류공급을 스위칭하기 위한 스위칭 트랜지스터(121)로 이루어진다. 상기 B 단위화소(130B)는 청색(B) 발광층을 구비한 청색 EL소자(135)와, 상기 청색 EL소자(135)에 전류를 공급하기 위한 구동 트랜지스터(133)와, 상

기 구동트랜지스터(133)로부터 상기 청색EL소자(135)로의 전류공급을 스위칭하기 스위칭 트랜지스터(131)로 이루어진다.

<13> 통상적으로, OELD 의 R, G, B 단위화소(110R, 120G, 130B)는 구동 트랜지스터(113, 123, 133)의 크기 즉, 채널층의 길이(L)에 대한 폭(W)의 비(W/L)가 모두 일정하고, EL 소자(115, 125, 135)은 B, R, G 단위화소순으로 높은 발광효율을 갖는다. 그러므로, 종래의 OELD 에서, R, G, B 단위화소는 구동 트랜지스터(113, 123, 133)의 채널층의 크기가 모두 동일한 반면에 EL소자(115, 125, 135)의 발광효율은 서로 다르기 때문에, 화이트 밸런스(white balance)를 구현하기 어려웠다.

<14> 화이트 밸런스를 구현하기 위해서는, 발광효율이 높은 EL 소자, 예를 들어 녹색 EL 소자에는 상대적으로 작은 양의 전류를 공급하여야 하며, 발광효율이 낮은 적색 및 청색 EL 소자에는 상대적으로 커다란 양의 전류를 공급해주어야 한다.

<15> 이때, 구동 트랜지스터를 통해 EL소자로 흐르는 전류(I_d)는 구동 트랜지스터가 포화상태에서 동작할 때이므로, 식 (1)과 같이 표현된다

<16>
$$I_d = C_{ox} \mu W (V_g - V_{th})^2 / 2L \dots (1)$$

<17> 그러므로, 화이트 밸런스를 구현하기 위해 EL소자로 흐르는 전류를 제어하기 위한 방법중 하나로 R, G, B 단위화소의 구동 트랜지스터의 크기 즉, 트랜지스터의 채널층의 길이(L)에 대한 폭(W)의 비(W/L)를 다르게 하여 R, G, B 단위화소의 EL소자에 흐르는 전류량을 조절하는 방법이 있다. 이와같이 트랜지스터의 크기에 따라 EL 소자로 흐르는 전류량을 조절하는 방법은 일본특허 공개공보 2001-109399호에 개시되었다. 일본특허는 R, G, B 단위화소별 EL 소자의 발광효율에 따라 R, G, B 단위화소의 구동 트랜지스터의 크

기를 다르게 형성하였다. 즉, 발광효율이 높은 녹색(G)을 구현하기 위한 단위화소의 구동 트랜지스터의 크기를 상대적으로 발광효율이 낮은 적색(R) 또는 청색(B)을 구현하기 위한 단위화소의 구동 트랜지스터보다 작게 형성하여 줌으로써, R, G, B 단위화소의 EL 소자로 흐르는 전류량을 제어하였다.

<18> 화이트 밸런스를 구현하기 위한 또 다른 방법으로 R, G, B 단위화소의 발광층의 면적을 다르게 형성하는 방법이 있는데, 이는 일본공개특허 2001-290441에 개시되었다. 상기 일본특허는 R, G, B 단위화소의 EL소자의 발광효율에 따라 발광면적을 서로 다르게 형성하여, R, G, B 단위화소의 휘도를 동일하게 발생시켰다. 즉, 발광효율이 높은 G 단위화소보다 발광효율이 낮은 R 단위화소 또는 B 단위화소의 발광면적을 상대적으로 크게 형성하여 R, G, B 단위화소를 통해 동일한 휘도가 발생되도록 하였다.

<19> 그러나, 상기한 바와같은 종래의 화이트 밸런스를 구현하기 위한 방법은 R, G, B 단위화소중 발광효율이 낮은 단위화소의 발광면적을 크게 형성하거나, 또는 R, G, B 단위화소중 발광효율이 낮은 단위화소의 트랜지스터의 크기를 증가시켜 줌으로써, 각 화소가 차지하는 면적이 증가하게 되고, 이에 따라 고해상도에 적용하기 어려운 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

<20> 따라서, 본 발명은 상기한 바와같은 종래 기술의 문제점을 해결하기 위한 것으로서, 화소면적을 증가시키 않고 화이트 밸런스를 구현할 수 있는 평판표시장치 및 그의 제조방법을 제공하는 데 그 목적이 있다.

<21> 본 발명의 다른 목적은 R, G, B 단위화소별 구동 트랜지스터의 채널층이 서로 다른 전류이동도를 갖도록 형성하여 화이트 밸런스를 구현할 수 있는 평판표시장치 및 그의 제조방법을 제공하는 데 있다.

<22> 본 발명의 다른 목적은 R, G, B 단위화소별 구동 트랜지스터의 채널층이 서로 다른 결정화방향을 갖도록 형성하여 화이트 밸런스를 구현할 수 있는 평판표시장치 및 그의 제조방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<23> 상기한 바와 같은 목적을 달성하기 위하여, 본 발명은 각각 적색(R), 녹색(G), 청색(B)을 구현하기 위한 R, G, B 단위화소를 구비하고, 상기 각 단위화소는 적어도 하나 이상의 트랜지스터를 구비하는 다수의 화소를 포함하며, 상기 R, G, B 단위화소중 적어도 2개의 단위화소의 트랜지스터는 서로 다른 전류이동도를 갖는 채널층을 구비하는 평판표시장치를 제공하는 것을 특징으로 한다.

<24> 상기 R, G, B 단위화소는 적어도 하나의 트랜지스터가 각 화소별로 모두 동일한 크기를 갖는 채널층을 구비한다. 상기 각 R, G, B 단위화소는 각각 발광소자를 포함하며, 상기 각 단위화소의 발광소자로의 전류공급을 제어하는 트랜지스터의 채널층은 각 화소별로 동일한 크기를 갖으며, 각 단위화소의 발광소자중 발광효율이 가장 높은 발광소자를 구동시켜주기 위한 트랜지스터의 전류이동도는 상대적으로 발광효율이 낮은 발광소자를 구동시켜 주기 위한 트랜지스터의 전류이동도보다 작은 것을 특징으로 한다.

<25> 상기 R, G, B 단위화소의 트랜지스터의 채널층은 서로 다른 결정화방향을 갖는 폴리실리콘막으로 이루어지며, 상기 R, G, B 단위화소의 발광소자중 발광효율이 가장 높은

발광소자를 구동시켜주기 위한 트랜지스터의 채널층은 MIC 폴리실리콘막으로 이루어지고, 상기 발광소자보다 발광효율이 낮은 발광소자를 구동시켜 주기 위한 트랜지스터의 채널층은 MILC 폴리실리콘막으로 이루어진다.

<26> 상기 R, G, B 단위화소는 상기 트랜지스터에 의해 구동되는 발광소자를 각각 포함하며, 상기 트랜지스터는 상기 발광소자를 구동시켜 주기위한 구동 트랜지스터와 상기 구동 트랜지스터의 온, 오프를 스위칭하기 위한 스위칭 트랜지스터로 이루어진다.

<27> 상기 R, G, B 단위화소의 스위칭 트랜지스터의 채널층은 모두 MIC 폴리실리콘막으로 이루어지고, 상기 R, G, B 단위화소중 발광효율이 가장 높은 단위화소의 구동 트랜지스터는 채널층이 MIC 폴리실리콘막으로 이루어지고, 상기 단위화소보다 발광효율이 낮은 단위화소의 구동 트랜지스터는 채널층이 MILC 폴리실리콘막으로 이루어진다.

<28> 상기 R, G, B 단위화소의 스위칭 트랜지스터의 채널층은 모두 MILC 폴리실리콘막으로 이루어지고, 상기 R, G, B 단위화소중 발광효율이 가장 높은 단위화소의 구동 트랜지스터는 채널층이 MIC 폴리실리콘막으로 이루어지고, 상기 단위화소보다 발광효율이 낮은 단위화소의 구동 트랜지스터는 채널층이 MILC 폴리실리콘막으로 이루어진다.

<29> 상기 R, G, B 단위화소중 발광효율이 가장 높은 단위화소의 스위칭 트랜지스터와 구동 트랜지스터는 채널층이 모두 MIC 폴리실리콘막으로 이루어지고, 상기 단위화소보다 발광효율이 낮은 단위화소의 구동 트랜지스터는 채널층이 MILC 폴리실리콘막으로 이루어진다.

<30> 또한, 본 발명은 R, G, B 단위화소를 구비하며, 상기 R, G, B 단위화소는 적어도 하나의 트랜지스터를 구비하는 다수의 화소를 포함하는 평판표시장치에 있어서, 절연기

판상에 비정질 실리콘막을 형성하는 단계와; 상기 비정질 실리콘막상에 제1 및 제2MILC 마스크를 형성하는 단계와; 기판전면에 MILC 용 금속막을 증착하는 단계와; 상기 제1 및 제2MILC 용 마스크에 대응하는 부분은 MILC 에 의해 결정화되고 나머지 부분은 MIC 에 의해 결정화되도록, 상기 비정질 실리콘막을 폴리실리콘막으로 결정화하는 단계와; R, G, B 단위화소중 발광효율이 가장 높은 단위화소의 박막 트랜지스터를 위한 반도체층은 MIC에 의해 결정화된 폴리실리콘막으로 이루어지고, 상기 단위화소보다 발광효율이 낮은 단위화소의 박막 트랜지스터를 위한 반도체층은 MILC 에 의해 결정화된 폴리실리콘막으로 이루어지도록, 상기 폴리실리콘막을 패터닝하는 단계를 포함하는 평판표시장치의 제조방법을 제공하는 것을 특징으로 한다.

<31> 이하, 본 발명의 실시예를 첨부된 도면을 참조하여 설명하면 다음과 같다.

<32> 도 2a 내지 도 2d는 본 발명의 실시예에 따른 유기전계 발광표시장치의 제조방법을 설명하기 위한 공정단면도를 도시한 것이다. 도 2a 내지 도 2d의 단면구조는 유기전계 발광표시장치에 있어서, 각 화소의 R, G, B 단위화소중 구동 트랜지스터에 한정하여 도시한 것이다.

<33> 도 2a를 참조하면, 절연기판(200)상에 도면에는 도시되지 않았으나 버퍼층을 형성하고, 그위에 비정질 실리콘막(210)을 형성한다. 이어서, 상기 비정질 실리콘막(210)상에 MILC 용 다수의 마스크(221, 225)를 형성하고, 기판전면에 금속막(230)을 형성한다.

<34> 상기 MILC 용 마스크(221, 225)는 각각 R 단위화소 및 B 단위화소가 형성될 영역(201), (205)에 대응하여 형성된다. 이때, G 단위화소가 형성될 영역(203)에는 MILC 용 마스크가 형성되지 않으므로 금속막(230)이 직접 비정질 실리콘막(210)과 접촉 형성된다

본 발명에서는 상기 MILC 용 마스크(221), (225)로 산화막을 사용하는데, 산화막 대신 감광막 등과 같은 막을 사용할 수도 있다.

<35> 도 2b를 참조하면, 결정화공정을 수행하여 상기 비정질 실리콘막(210)을 폴리실리콘막(240)으로 결정화시켜 준다. 이때, 폴리실리콘막(240)은 MIC와 MILC 에 의해 결정화되는데, 상기 폴리실리콘막(240)중 상기 MILC 용 마스크(221)의 하부에 대응되는 부분(241)은 MILC 에 의해 결정화되고, 또한 상기 MILC 용 마스크(225)의 하부에 대응되는 부분(245)도 MILC 에 의해 결정화된다. 한편, 상기 금속막(230)과 직접 접촉된 부분(243) 즉, G 단위화소가 형성될 부분(203)을 포함한 나머지 부분은 모두 MIC 에 의해 결정화된다.

<36> 도 2c를 참조하면, 상기 MILC 용 마스크(221, 225)와 금속층(230)을 제거한 다음, 구동 트랜지스터의 반도체층을 형성하기 위한 마스크(도면상에는 도시되지 않음)를 이용하여 상기 폴리실리콘막(240)을 패터닝하여 R, G, B 단위화소의 구동 트랜지스터의 반도체층(251), (253), (255)을 형성한다. 이때, 상기 각 단위화소의 구동 트랜지스터의 반도체층(251), (253), (255)은 모두 동일한 크기를 갖는다.

<37> R, G, B 단위화소중 R 단위화소의 구동 트랜지스터의 반도체층(251)은 MILC에 의해 결정화된 폴리실리콘막(241)으로 이루어지고, 상기 G단위화소의 구동 트랜지스터의 반도체층(253)은 MIC에 의해 결정화된 폴리실리콘막(243)으로 이루어지며, 상기 B단위화소의 구동 트랜지스터의 반도체층(255)은 MILC에 의해 결정화된 폴리실리콘막(245)으로 이루어진다.

<38> 도 2d를 참조하면, 상기 반도체층(251), (253), (255)을 포함한 기판상에 게이트 절연막(260)을 형성하고, 상기 게이트 절연막(260)상에 각 단위화소의 구동 트랜지스터

의 게이트(271), (273), (275)를 각각 형성한다. 이어서, 상기 게이트(271), (273), (275)를 마스크로 하여 상기 반도체층(251), (253), (255)으로 소정 도전형의 불순물을 이온주입하여 각 구동 트랜지스터의 소오스/드레인 영역(281), (283), (285)을 형성한다.

<39> 이후 도면상에는 도시되지 않았으나, 기판전면에 층간 절연막을 형성하고, 상기 층간 절연막과 게이트 절연막(260)을 식각하여 상기 소오스/드레인 영역(281, 283, 285)을 노출시키는 콘택홀을 형성하고, 상기 콘택홀을 통해 소오스/드레인 영역(281, 283, 285)과 전기적으로 연결되는 소오스/드레인 영역을 형성하면 구동 트랜지스터가 제조된다.

<40> 상기한 바와같은 방법으로 제작된 본 발명의 평판표시장치에서, 상기 R, G, B 단위 화소의 구동 트랜지스터는 각각 동일한 길이(Lrc, Lgc, Lbc)를 갖는 채널층을 구비하며, 상기 R 및 B 단위화소의 구동 트랜지스터는 각각 MILC에 의해 결정화된 폴리실리콘막(241), (245)으로 된 채널층을 구비하며, 상기 G 단위화소의 구동트랜지스터는 MIC에 의해 결정화된 폴리실리콘막(243)으로 이루어진 채널층을 구비한다. 그러므로, R, G, B 단위화소의 구동 트랜지스터는 채널층의 길이가 모두 동일하며, 또한 R, G, B 단위화소의 구동 트랜지스터용 채널층의 결정화방향에 따라 채널층의 전류이동도가 변화게 된다.

<41> 즉, 상대적으로 발광효율이 낮은 R 및 B 단위화소의 구동 트랜지스터의 채널층은 전류이동도가 높은 MILC에 의해 결정화된 폴리실리콘막(241), (245)으로 이루어지고, 상대적으로 발광효율이 높은 G 단위화소의 구동 트랜지스터의 채널층은 전류이동도가 낮은 MIC에 의해 결정화된 폴리실리콘막(243)으로 이루어진다.

- <42> 그러므로, R, G, B 단위화소의 EL 소자의 발광효율에 따라 채널층의 결정화방향을 달리하여 채널층의 저항값이 결정되도록 구성하였는데, 상대적으로 발광효율이 아주 낮은 R 및 B 단위화소의 구동 트랜지스터의 채널층은 채널길기와 동일한 방향 즉, 횡방향의 결정화방향을 갖는 MILC 에 의해 결정화된 폴리실리콘막으로 이루어져, 상대적으로 채널층의 저항값이 낮다. 또한, 상대적으로 발광효율이 높은 G 단위화소의 구동 트랜지스터의 채널층은 채널길기와 수직한 방향 즉, 종방향의 결정화방향을 갖는 MIC 에 의해 결정화된 폴리실리콘막으로 이루어져 채널층의 저항값은 상대적으로 높아진다.
- <43> 따라서, 본 발명에서는 R, G, B 단위화소의 채널층의 크기를 동일하게 형성하는 반면에 그들의 결정화방향을 서로 다르게 형성하여 전류이동도가 서로 다른 값을 갖도록 하여 줌으로써, 화이트 밸런스를 구현할 수 있다.
- <44> 도 3은 MIC 및 MILC 에 의해 결정화된 반도체층을 각각 구비하는 박막 트랜지스터의 게이트 전압에 대한 드레인전류를 도시한 것이다. 도 3은 동일한 크기(W/L)와 동일한 채널방향을 갖는 박막 트랜지스터의 경우라도 채널층의 폴리실리콘막의 미세조직에 따라 전류량이 달라짐을 보여준다.
- <45> 도 3으로부터, MILC 폴리실리콘 박막 트랜지스터의 게이트전압에 대한 드레인 전류특성이 MIC 폴리실리콘 박막 트랜지스터의 게이트 전압에 대한 드레인 전류특성이 우수함을 알 수 있다. 그러므로, MILC 에 의해 결정화된 폴리실리콘막으로 된 박막 트랜지스터의 전류이동도가 MIC 에 의해 결정화된 폴리실리콘막으로 된 박막 트랜지스터의 전류이동도보다 큼을 알 수 있다.
- <46> 따라서, 본 발명은, 발광효율이 상대적으로 높은 녹색 단위화소의 구동 트랜지스터의 채널층은 MIC 폴리실리콘막으로 이루어지고, 발광효율이 낮은 적색 및 청색 단위화

소의 구동 트랜지스터의 채널층은 MILC 폴리실리콘막으로 이루어져, 녹색 단위화소의 구동 트랜지스터를 통해 흐르는 전류량보다 적색 또는 청색 단위화소의 구동 트랜지스터를 통해 흐르는 전류량을 증가시켜 줌으로써 화이트 밸런스를 구현할 수 있게 된다.

<47> 본 발명의 실시예에서는 R, G, B EL소자의 발광효율에 따라 구동 트랜지스터의 채널층을 MIC 또는 MILC 에 의해 결정화된 폴리실리콘막으로 형성하였으나, 각 R, G, B 단위화소의 스위칭 트랜지스터에도 적용가능하다. 예를 들어, R, G, B 단위화소의 스위칭 트랜지스터의 채널층을 모두 MILC 또는 MIC 에 의해 결정화된 폴리실리콘막으로 형성할 수도 있으며, 구동 트랜지스터와 마찬가지로 발광효율이 높은 G 단위화소의 스위칭 트랜지스터는 채널층을 MIC에 의해 결정화된 폴리실리콘막으로 형성하고, 발광효율이 낮은 R 또는 B 단위화소의 스위칭 트랜지스터는 채널층을 MILC에 의해 결정화된 폴리실리콘막으로 형성할 수도 있다. 또한, R, G, B 단위화소의 구동 트랜지스터와 스위칭 트랜지스터의 반도체층은 해당하는 채널층과 동일한 결정화방향을 갖거나 또는 해당하는 채널층과 다른 결정화방향을 갖을 수도 있다.

<48> 또한 본 발명은 채널층이 MIC/MILC 에 의해 결정화되었으나, R, G, B 단위화소의 구동트랜지스터의 채널층이 서로 다른 결정화방법을 가짐으로써, 서로 다른 전류이동도를 갖도록 결정화시켜주는 방법은 모두 적용가능하다.

【발명의 효과】

<49> 상기한 바와같은 본 발명의 실시예에 따르면, R, G, B 단위화소의 채널층의 전류이동도를 변화시켜 줌으로써 화소면적의 증가없이 화이트밸런스를 구현할 수 있다. 또한, 비정질 실리콘막을 MIC/MILC 결정화방법을 이용하여 폴리실리콘막으로 결정화하여 서로

다른 전류이동도를 갖는 R, G, B 단위화소의 구동 트랜지스터의 반도체층을 형성하여 줌으로써, 공정단가가 낮추고, 공정을 단순화할 수 있는 이점이 있다.

<50> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

각각 적색(R), 녹색(G), 청색(B)을 구현하기 위한 R, G, B 단위화소를 구비하고, 상기 각 단위화소는 적어도 하나이상의 트랜지스터를 구비하는 다수의 화소를 포함하며, 상기 R, G, B 단위화소중 적어도 2개의 단위화소의 트랜지스터는 서로 다른 전류이동도를 갖는 채널층을 구비하는 것을 특징으로 하는 평판표시장치.

【청구항 2】

제1항에 있어서, 상기 R, G, B 단위화소는 적어도 하나의 트랜지스터가 각 화소별로 모두 동일한 크기를 갖는 채널층을 구비하는 것을 특징으로 하는 평판표시장치.

【청구항 3】

제1항에 있어서, 상기 R, G, B 단위화소는 각각 발광소자를 포함하며, 각 단위화소의 발광소자로의 전류공급을 제어하는 트랜지스터는 각 화소별로 모두 동일한 크기를 갖는 채널층을 구비하는 것을 특징으로 하는 평판표시장치.

【청구항 4】

제1항에 있어서, 상기 R, G, B 단위화소는 상기 트랜지스터에 의해 구동되는 발광소자를 각각 포함하며, 각 단위화소의 발광소자중 발광효율이 가장 높은 발광소자를 구동시켜주기 위한 트랜지스터의 전류이동도는 상대적으로 발광효율이 낮은 발광소자를 구동시켜 주기 위한 트랜지스터의 전류이동도보다 작은 것을 특징으로 하는 평판표시장치.

【청구항 5】

제1항에 있어서, 상기 R, G, B 단위화소의 트랜지스터의 채널층은 서로 다른 결정화방향을 갖는 폴리실리콘막으로 이루어지는 특징으로 하는 평판표시장치.

【청구항 6】

제5항에 있어서, 상기 R, G, B 단위화소는 상기 트랜지스터에 의해 구동되는 발광소자를 각각 포함하며, 상기 발광소자중 발광효율이 가장 높은 발광소자를 구동시켜주기 위한 트랜지스터의 채널층은 MIC 폴리실리콘막으로 이루어지고, 상기 발광소자보다 발광효율이 낮은 발광소자를 구동시켜 주기 위한 트랜지스터의 채널층은 MILC 폴리실리콘막으로 이루어지는 것을 특징으로 하는 평판표시장치.

【청구항 7】

제1항에 있어서, 상기 R, G, B 단위화소는 상기 트랜지스터에 의해 구동되는 발광소자를 각각 포함하며, 상기 트랜지스터는 상기 발광소자를 구동시켜 주기위한 구동 트랜지스터와 상기 구동 트랜지스터의 온,오프를 스위칭하기 위한 스위칭 트랜지스터로 이루어지는 것을 특징으로 하는 평판표시장치.

【청구항 8】

제7항에 있어서, 상기 R, G, B 단위화소의 스위칭 트랜지스터의 채널층은 모두 MIC 폴리실리콘막으로 이루어지고, 상기 R, G, B 단위화소중 발광효율이 가장 높은 단위화소의 구동 트랜지스터는 채널층이 MIC 폴리실리콘막으로 이루어지고, 상기 단위화소보다 발광효율이 낮은 단위화소의 구동 트랜지스터는 채널층이 MILC 폴리실리콘막으로 이루어지는 것을 특징으로 하는 평판표시장치.

【청구항 9】

제7항에 있어서, 상기 R, G, B 단위화소의 스위칭 트랜지스터의 채널층은 모두 MILC 폴리실리콘막으로 이루어지고, 상기 R, G, B 단위화소중 발광효율이 가장 높은 단위화소의 구동 트랜지스터는 채널층이 MIC 폴리실리콘막으로 이루어지고, 상기 단위화소보다 발광효율이 낮은 단위화소의 구동 트랜지스터는 채널층이 MILC 폴리실리콘막으로 이루어지는 것을 특징으로 하는 평판표시장치.

【청구항 10】

제7항에 있어서, 상기 R, G, B 단위화소중 발광효율이 가장 높은 단위화소의 스위칭 트랜지스터와 구동 트랜지스터는 채널층이 모두 MIC 폴리실리콘막으로 이루어지고, 상기 단위화소보다 발광효율이 낮은 단위화소의 구동 트랜지스터는 채널층이 MILC 폴리실리콘막으로 이루어지는 것을 특징으로 하는 평판표시장치.

【청구항 11】

R, G, B 단위화소를 구비하며, 상기 R, G, B 단위화소는 적어도 하나의 트랜지스터를 구비하는 다수의 화소를 포함하는 평판표시장치에 있어서,

절연기판상에 비정질 실리콘막을 형성하는 단계와;

상기 비정질 실리콘막상에 제1 및 제2MILC 마스크를 형성하는 단계와;

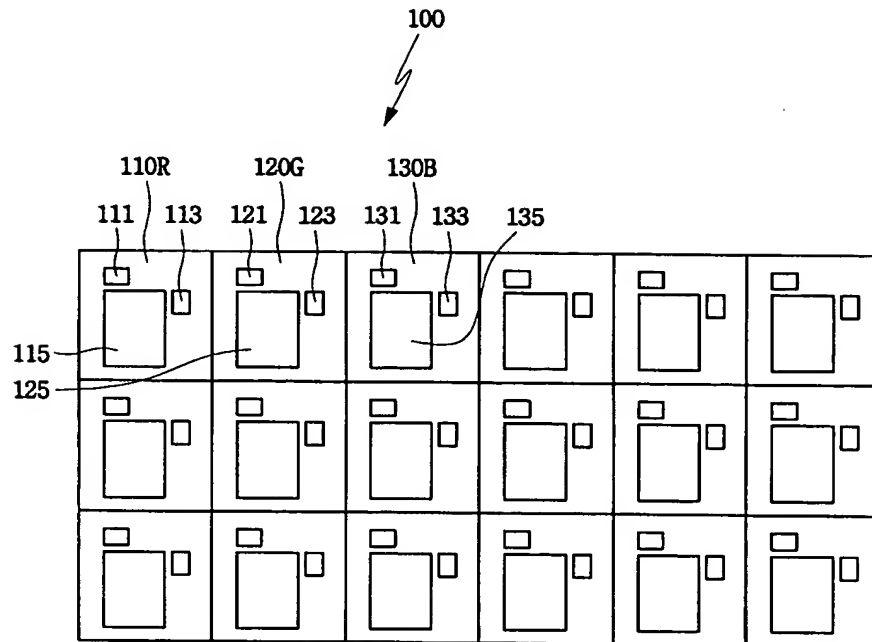
기판전면에 MILC 용 금속막을 증착하는 단계와;

상기 제1 및 제2MILC 용 마스크에 대응하는 부분은 MILC 에 의해 결정화되고 나머지 부분은 MIC 에 의해 결정화되도록, 상기 비정질 실리콘막을 폴리실리콘막으로 결정화하는 단계와;

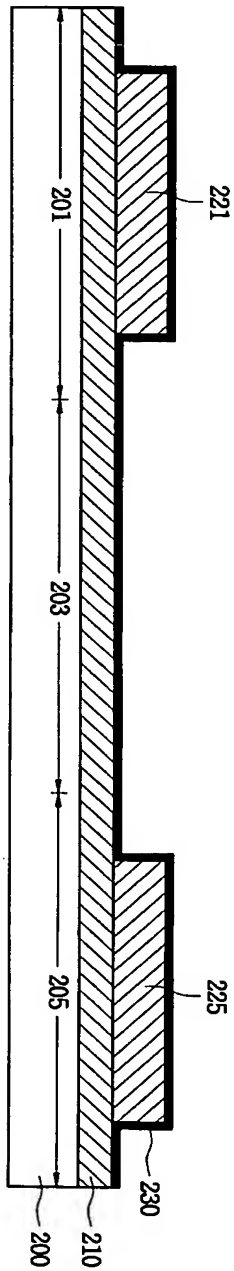
R, G, B 단위화소중 발광효율이 가장 높은 단위화소의 박막 트랜지스터를 위한 반도체층은 MIC에 의해 결정화된 폴리실리콘막으로 이루어지고, 상기 단위화소보다 발광효율이 낮은 단위화소의 박막 트랜지스터를 위한 반도체층은 MILC에 의해 결정화된 폴리실리콘막으로 이루어지도록, 상기 폴리실리콘막을 패터닝하는 단계를 포함하는 것을 특징으로 하는 평판표시장치의 제조방법.

【도면】

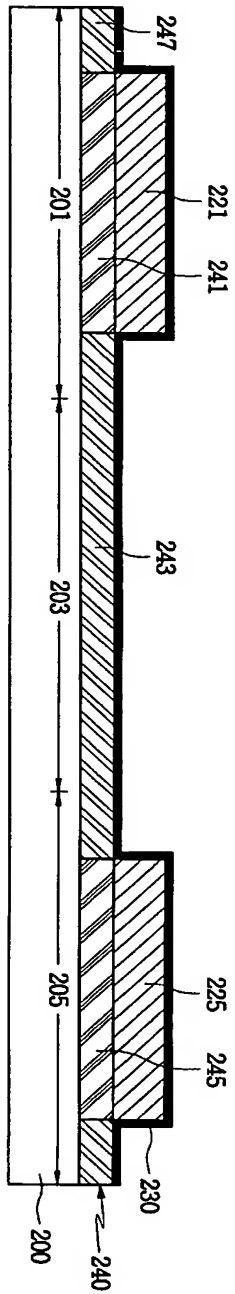
【도 1】



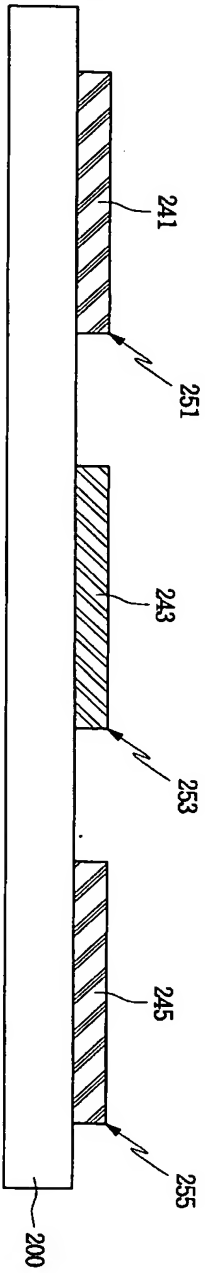
【도 2a】



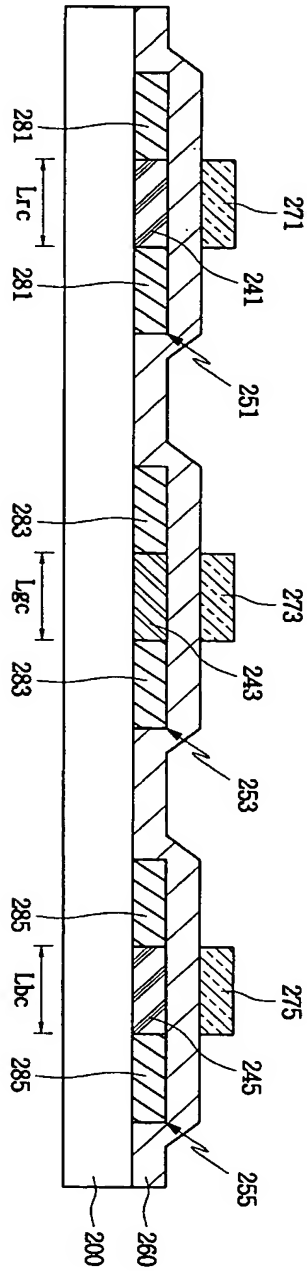
【도 2b】



【도 2c】



【도 2d】



【도 3】

